

(2) Japanese Patent Application Laid-Open No. 7-140922 (1995):  
"METHOD OF DRIVING DISPLAY DEVICE"

The following is an extract relevant to the present application.

5

10

15

An X sustain electrode 12 and a Y sustain electrode 13 paired with each other are formed of a transparent electrode and an auxiliary electrode on a glass substrate 11. A dielectric layer 14 is provided on these X sustain electrode 12 and Y sustain electrode 13, and a rib 18 in the form of stripes is formed thereon. Besides, a protective film 15 of an MgO film is evaporated. Address electrodes 17 are formed on a glass substrate 16. The rib 18 in the form of stripes is provided between the address electrodes 17, and a red phosphor 19, a green phosphor 20 and a blue phosphor 21 are formed to cover the address electrodes 17. Discharge space 22 is filled with an Ne+Xe gas mixture. Luminance order of a subfield in one frame is altered.

(11)特許出願公開番号

特開平7-140922

(43)公開日 平成7年(1995)6月2日

### 技術表示箇所

K 9378-5G

K 9378-5G

審査請求 未請求 請求項の数3 FD (全 6 頁)

(21)出願番号 特願平5-308646

(22)出願日 平成5年(1993)11月15日

(71)出願人 000006611

株式会社富士通ゼネラル

神奈川県川崎市高津区末長1116番地

(72)発明者 傳田 勇人

神奈川県川崎市高津区末長1116番地 株式  
会社富士通ゼネラル内

(72)発明者 中島 正道

神奈川県川崎市高津区末長1116番地 株式会社富士通ゼネラル内

(72)発明者 小野寺 純一

神奈川県川崎市高津区末長1116番地 株式  
会社富士通ゼネラル内

(74)代理人 弁理士 古澤 俊明 (外1名)

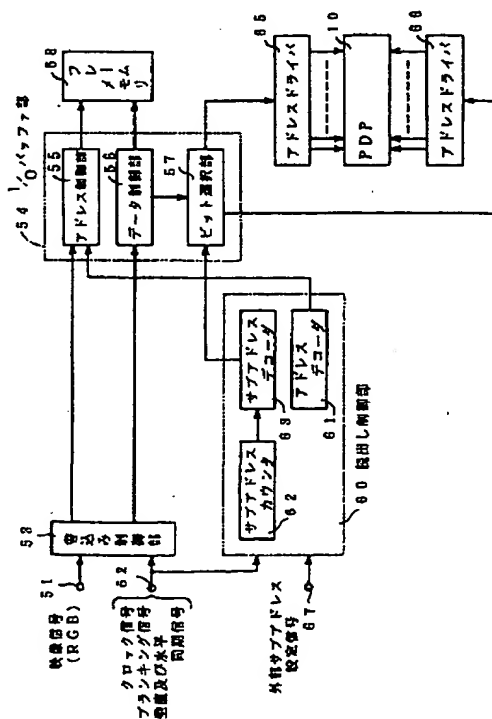
[最終頁に続く](#)

(54) 【発明の名称】 ディスプレイ装置の駆動方法

(57) 【要約】

【目的】 1 フレーム間のサブフィールドの輝度順序を変更して、偽輪郭の発生しないものを得ることを目的とする。

【構成】 輝度の相対比の異なる複数のサブフィールドで1フレームを構成して多階調の映像信号を映出するようにしたディスプレイ装置において、サブフィールドの走査順序を $p$  ( $p = 1、2、3、\dots$ ) フレーム単位で規則的に、例えば第1フレーム目では、輝度順に、第2フレーム目以降では、1つずつずらして走査するから、走査順序が途中から始まり、非表示期間が1フレームよりも十分短くなり、偽輪郭が目立たなくなる。また、走査順番を、外部サブアドレス設定信号からの乱数表によるランダムな信号とすることにより、同様に非表示期間が1フレームよりも十分短くなり、偽輪郭が目立たなくなる。



## 【特許請求の範囲】

【請求項 1】 輝度の相対比の異なる複数のサブフィールドで 1 フレームを構成して多階調の映像信号を映出するようにしたディスプレイ装置において、サブフィールドの走査順序を  $p$  ( $p = 1, 2, 3, \dots$ ) フレーム単位で規則的に変化して駆動するようにしたことを特徴とするディスプレイ装置の駆動方法。

【請求項 2】 輝度の相対比の異なる第 1、第 2、…第  $q$  の複数のサブフィールドで 1 フレームを構成して多階調の映像信号を映出するようにしたディスプレイ装置において、最初の走査順序を第 1、第 2、…第  $q$  サブフィールドとし、つぎの走査順序を第 2、…第  $q$ 、第 1 サブフィールドとし、以下同様にして 1 フレーム毎に先頭のサブフィールドの走査順序を 1 つずつずらして駆動するようにしたことを特徴とするディスプレイ装置の駆動方法。

【請求項 3】 輝度の相対比の異なる複数のサブフィールドで 1 フレームを構成して多階調の映像信号を映出するようにしたディスプレイ装置において、外部サブアドレス設定信号によりサブフィールドの走査順序を  $p$  ( $p = 1, 2, 3, \dots$ ) フレーム単位でランダムに変化して駆動するようにしたことを特徴とするディスプレイ装置の駆動方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、輝度の相対比の異なる複数のサブフィールドで 1 フレームを構成して多階調の映像信号を映出するようにしたディスプレイ装置の駆動方法に関するものである。

## 【0002】

【従来の技術】 最近、薄型、軽量の表示装置として、PDP (プラズマ・ディスプレイ・パネル) が注目されている。この PDP の駆動方式は、従来の CRT 駆動方式とは全く異なっており、ディジタル化された映像入力信号による直接駆動方式である。したがって、パネル面から発光される輝度階調は、扱う信号のビット数によって定まる。PDP は基本的特性の異なる AC 型と DC 型の 2 方式に分けられるが、DC 型 PDP では、すでに課題とされていた輝度と寿命について改善手法の報告があり、実用化へ向けて進展しつつある。

【0003】 ところが、AC 型 PDP では、輝度と寿命については十分な特性が得られているが階調表示に関しては、試作レベルで最大 64 階調表示までの報告しかなかったが、アドレス・表示分離型駆動法 (ADS サブフィールド法) による将来の 256 階調の手法が提案されている。この方法に使用される PDP (プラズマ・ディスプレイ・パネル) 10 のパネル構造が図 4 に示され、駆動シーケンスと駆動波形が図 5 (a) (b) に示される。

【0004】 図 4 において、表示面側の表面ガラス基板

11 の下面に、対になる X サスティン電極 12、Y サスティン電極 13 を透明電極と補助電極で形成する。補助電極は、透明電極の抵抗による電圧降下を防ぐため、バス電極 23 を透明電極の一部に形成する。これら X サスティン電極 12、Y サスティン電極 13 の上に誘電体層 14 を設け、その上に各セル間の結合を分離するためにストライプ状リブ 18 を形成する。さらに、MgO 膜からなる保護層 15 を蒸着する。対向する裏面ガラス基板 16 上には、アドレス電極 17 を形成する。アドレス電極 17 間にストライプ上のストライプ状リブ 18 を設け、さらにアドレス電極 17 を被覆するようにして R (赤) 蛍光体 19、G (緑) 蛍光体 20、B (青) 蛍光体 21 を塗分けて形成する。放電空間 22 には、Ne + Xe 混合ガスが封入される。

【0005】 図 5 (a) において、1 フレームは、輝度の相対比が 1、2、4、8、16、32、64、128 の 8 個のサブフィールドで構成され、8 画面の輝度の組み合わせで 256 階調の表示を行う。図 5 (b) において、それぞれのサブフィールドは、リフレッシュした 1 画面分のデータの書き込みを行うアドレス期間とそのサブフィールドの輝度レベルを決めるサスティン期間で構成される。アドレス期間では、最初全画面同時に各ピクセルに初期的に壁電荷が形成され、その後サスティンパルスが全画面に与えられ表示を行う。サブフィールドの明るさはサスティンパルスの数に比例し、所定の輝度に設定される。このようにして 256 階調表示が実現される。

【0006】 以上のような AC 駆動方式では、階調数を増やせば増やすほど、1 フレーム期間内でパネルを点灯発光させる準備期間としてのアドレス期間のビット数が増加するため、発光期間としてのサスティン期間が相対的に短くなり、最大輝度が低下する。このように、パネル面から発光される輝度階調は、扱う信号のビット数によって定まるため、扱う信号のビット数を増やせば、画質は向上するが、発光輝度が低下し、逆に扱う信号のビット数を減らせば、発光輝度が増加するが、階調表示が少なくなり、画質の低下を招く。

【0007】 入力信号のビット数よりも出力駆動信号のビット数を低減しながら、入力信号と発光輝度との濃淡誤差を最小にするための誤差拡散処理は、擬似中間調を表現する処理であり、少ない階調で濃淡表現する場合に用いられる。すなわち、従来の一般的な誤差拡散処理回路において、映像信号入力端子に、 $n$  (たとえば 8) ビットの原画素  $A_{ij}$  の映像信号が入力し、垂直方向加算回路、水平方向加算回路を経て、さらにビット変換回路でビット数を  $m$  (たとえば 4) ビットに減らす処理をして PDP 駆動回路を経て PDP を発光する。

【0008】 また、前記水平方向加算回路からの誤差拡散信号が、予め記憶されたデータと誤差検出回路にて比較されてその差をとって誤差荷重回路にて所定の係数を

掛けて重み付けをし、誤差検出出力を、原画素  $A_{i,j}$  より  $h$  ライン前の画素、例えば 1 ラインだけ過去に生じた再現誤差  $E_{j-1}$  を出力する  $h$  ライン遅延回路を介して前記垂直方向加算回路に加算されるとともに、原画素  $A_{i,j}$  より  $d$  ドット前の画素、例えば 1 ドットだけ過去に生じた再現誤差  $E_{i-1}$  を出力する  $d$  ドット遅延回路を介して前記水平方向加算回路に加算される。なお、前記誤差荷重回路での係数は一般的に全ての和が 1 になるように設定する。

【0009】この結果、ビット変換回路の出力端子には、瞬間的には階段状のような 4 ビットで表わされる発光輝度レベルが出力されるにも拘らず、実際は、実線の階段状の上下の発光輝度レベルが所定の割合で交互に出力されるので、平均化された状態で認識され、略  $y=x$  の補正輝度線となる。

【0010】

【発明が解決しようとする課題】しかるに、例えば、画像の左側が暗く、右側が明るい画像が緩やかに左に動く場合、画面の一部分において、画像レベルは、最初のフレームが 127 のレベルで、つぎのフレームが 128 のレベルに変化したものとする。サブフレームの走査は、図 3 に示すように、輝度順に SF1 から SF8 までを走査するようにしており、画像信号として 8 ビットが用いられているとすると、127 のレベルは 11111110 で量子化され、128 のレベルは 00000001 で量子化される。したがって、127~128 にかけては、SF1~SF7 まで表示期間、SF8 および SF1~SF7 まで非表示期間、SF8 表示期間となって画像が表示される。このように、動画像を表示する場合、非表示期間が 1 フレームと同一期間という比較的長くなるため、この非表示期間が黒い線となって画像に現れ、これが偽輪郭となってあらわれるという問題があった。

【0011】本発明は、1 フレーム間のサブフィールドの輝度順序を一定の規則をもって、または、ランダムに並べ替えて非表示期間が長くならないようにして、偽輪郭の発生しないものを得ることを目的とする。

【0012】

【課題を解決するための手段】本発明は、輝度の相対比の異なる複数のサブフィールドで 1 フレームを構成して多階調の映像信号を映出するようにしたディスプレイ装置において、サブフィールドの走査順序を  $p$  ( $p=1, 2, 3, \dots$ ) フレーム単位で規則的に、または、ランダムに変化して駆動するようにしたことを特徴とするディスプレイ装置の駆動方法である。

【0013】

【作用】フレーム単位で規則的に変化する場合、最初の走査順序を第 1、第 2、…第  $q$  サブフィールドとし、つぎの走査順序を第 2、…第  $q$ 、第 1 サブフィールドとし、以下同様にして 1 フレーム毎に先頭のサブフィールドの走査順序を 1 つずつずらして駆動する。画像レベル

は、最初のフレームが例えば 127 のレベルで、つぎのフレームが 128 のレベルに変化したものとする。第 1 フレーム目では、輝度順に最初から走査するが、第 2 フレーム目以降では、1 つずつずらして走査するから、128 のレベルは量子化される順序が途中から始まり、したがって、127~128 にかけては、非表示期間が 1 フレームよりも十分短くなり、偽輪郭が目立たなくなる。走査順序を制御する信号を、外部サブアドレス設定信号からの乱数表によるランダムな信号とすることにより、同様に非表示期間が 1 フレームよりも十分短くなり、偽輪郭が目立たなくなる。

【0014】

【実施例】以下、本発明の実施例を図面に基づき説明する。図 1 において、 $n$  ビットの原画素  $A_{i,j}$  の映像信号 (RGB) 入力端子 51 と制御信号入力端子 52 は、書込み制御部 53 に接続され、この書込み制御部 53 は、I/O バッファ部 54 のアドレス制御部 55 とデータ制御部 56 を介してフレームメモリ 58 に接続されている。前記制御信号入力端子 52 と外部サブアドレス設定信号入力端子 67 は、読出し制御部 60 に接続され、この読出し制御部 60 の中のアドレスデコーダ 61 は、アドレス制御部 55 に接続され、また、サブアドレスカウンタ 62 は、サブアドレスデコーダ 63 を介して前記 I/O バッファ部 54 のビット選択部 57 に接続されている。また、前記データ制御部 56 とサブアドレスデコーダ 63 に接続されたビット選択部 57 は、アドレスドライバ 65 とアドレスドライバ 66 を介して PDP10 に接続されている。

【0015】前記サブアドレスデコーダ 63 は、SF1~SF8 までの輝度順位をつぎのように周期的に並べ替えるためのものである。例 1 として 1 フレーム毎に輝度を 1 つずつずらして並べ替える方法の場合

第 1 フレーム目：SF1、2、3、4、5、6、7、8  
第 2 フレーム目：SF2、3、4、5、6、7、8、1  
第 3 フレーム目：SF3、4、5、6、7、8、1、2  
第 4 フレーム目：SF4、5、6、7、8、1、2、3  
……

【0016】例 2 として 1 フレーム毎に輝度を 3 つずつずらして並べ替える方法の場合

第 1 フレーム目：SF1、2、3、4、5、6、7、8  
第 2 フレーム目：SF4、5、6、7、8、1、2、3  
第 3 フレーム目：SF7、8、1、2、3、4、5、6  
第 4 フレーム目：SF2、3、4、5、6、7、8、1  
……

その他、1 フレーム毎に輝度を  $r$  ( $r=1, 2, 3, \dots$ ) 段階ずつずらして並べ替えるなど適宜設定することができる。

【0017】前記外部サブアドレス設定信号入力端子 67 による場合には、外部からコントロールしてつぎの例 3 のように信号を入力する。

第1フレーム目: SF 3、7、1、6、8、4、2、5  
 第2フレーム目: SF 6、1、7、2、5、8、4、3  
 ……

この場合、外部のマイコンの乱数表などにより、ランダムに設定した信号を入力する場合が考えられる。

【0018】以上のような構成において、デジタル映像信号(RGB)が、入力端子51から書込み制御部53に入力するとともに、クロック信号、ブランキング信号、垂直および水平同期信号が制御信号入力端子52から書込み制御部53と読出し制御部60に入力する。また、書込み制御部53は、前記制御信号により、書込み用のアドレス信号を出力し、I/Oバッファ部54のアドレス制御部55に入力するとともに、入力された映像信号をデータ制御部56に入力し、アドレス制御部55から入力されるアドレス信号に従って、データ制御部56からの映像信号データをDRAMモジュールからなるフレームメモリ58に書込み記憶させる。

【0019】1フレーム分の映像信号データの書込みが終了すると、読出し制御部60のアドレスデコーダ61は入力された制御信号に基づいて、読出し用のアドレス信号を出力し、アドレス制御部55に入力して、フレームメモリ58から映像信号データを読み出し、データ制御部56に入力する。読出し制御部60のサブアドレスカウンタ62は、1フレーム中のSF1～SF8までの各期間をカウントしてカウント信号を出力するようにしており、同カウント信号をサブアドレスデコーダ63で周期的に並べ替えて設定した前記順番に従い出力する。

【0020】図2は、本発明の映像信号の駆動方法の一例を示すもので、この例では、前記例2の順番により駆動した場合を示している。すなわち、第1フレーム目がSF1、2、3、4、5、6、7、8の順であるとする

と、第2フレーム目以下が3つのSFずつ周期的にずらして並べ替えているものとする。

【0021】このサブアドレスデコーダ63からの出力はI/Oバッファ部54のビット選択部57に入力し、また、フレームメモリ58から読出された映像信号データもビット選択部57に入力している。

【0022】ビット選択部57では、映像信号データのビットを選択してアドレスドライバ65とアドレスドライバ66に入力し、また、制御信号入力端子52からの制御信号に基づき、アドレス信号を発生させてアドレスドライバ65とアドレスドライバ66に入力し、PDP10の指定のアドレス部分に書込み、映像信号を映し出す。

【0023】図2において、図3の場合と同様に、画像レベルは、最初のフレームが127のレベルで、つぎのフレームが128のレベルに変化したものとする。第1フレーム目では、輝度順にSF1から走査するから、127のレベルは11111110で量子化されるが、第2フレーム目では、SF4から走査するから、128の

レベルは00001000で量子化される。したがって、127～128にかけては、SF1～SF7まで表示期間、SF8およびSF4～SF7まで非表示期間、SF8表示期間、SF1～SF3まで非表示期間となって画像が表示される。

【0024】このように順番を周期的に並べ替えることにより、非表示期間が1フレームよりも短くなり、偽輪郭が目立たなくなる。前記サブアドレスデコーダ63の順番を制御する信号を、例3のように、外部のマイコンなどに接続された外部サブアドレス設定信号入力端子67からの乱数表によるランダムな信号とすることもできる。

【0025】

【発明の効果】

(1) 本発明は、サブフィールドの走査順序を1フレーム単位で変化せしめて駆動するようにしたため、非表示期間が1フレームよりも短くなるとともに、フレーム毎に変化することにより、偽輪郭が目立たなくなる。

【0026】(2) サブフィールドの走査順序を外部信号入力源からランダムに変化せしめて駆動することにより、より一層偽輪郭の発生がなくなる。

【図面の簡単な説明】

【図1】本発明によるディスプレイ装置の駆動方法の一実施例を示すブロック図である。

【図2】本発明による映像信号駆動例を示す説明図である。

【図3】従来方法による映像信号駆動例を示す説明図である。

【図4】256階調の手法に使用されるPDPの斜視図である。

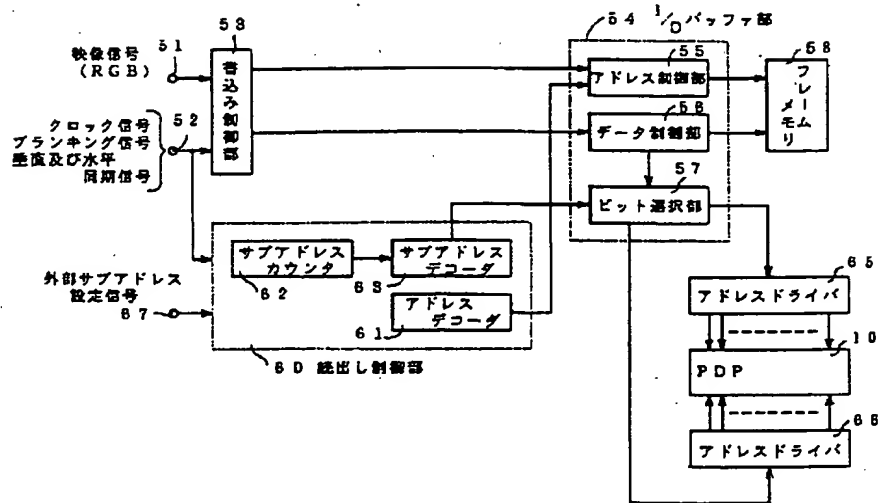
【図5】256階調の手法における駆動シーケンスと駆動波形図である。

【符号の説明】

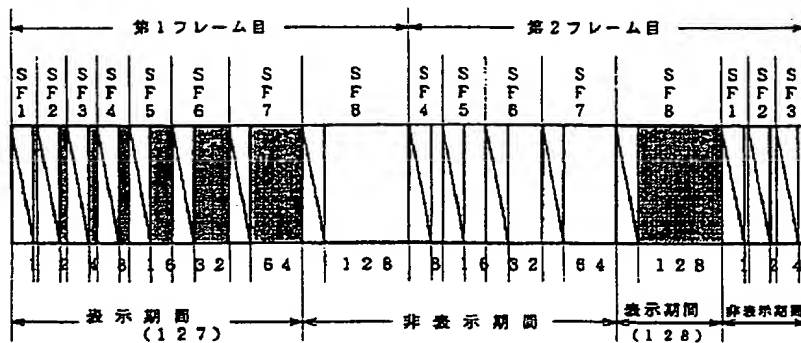
10…PDP(プラズマ・ディスプレイ・パネル)、11…表面ガラス基板、12…Xサスティン電極、13…Yサスティン電極、14…誘電体層、15…保護層、16…裏面ガラス基板、17…アドレス電極、18…ストライプ状リブ、19…R(赤)蛍光体、20…G(緑)蛍光体、21…B(青)蛍光体、22…放電空間、23…バス電極、30…映像信号入力端子、31…垂直方向加算回路、32…水平方向加算回路、33…ビット変換回路、34…出力端子、35…誤差検出回路、36…hライン遅延回路、37…dドット遅延回路、38…メモリ、40…誤差荷重回路、41…誤差荷重回路、51…映像信号(RGB)入力端子、52…制御信号入力端子、53…書込み制御部、54…I/Oバッファ部、55…アドレス制御部、56…データ制御部、57…ビット選択部、58…フレームメモリ、60…読出し制御部、61…アドレスデコーダ、62…サブアドレスカウンタ、63…サブアドレスデコーダ、65…アドレス

ライバ、66…アドレスドライバ、67…外部サブアドレス設定信号入力端子。

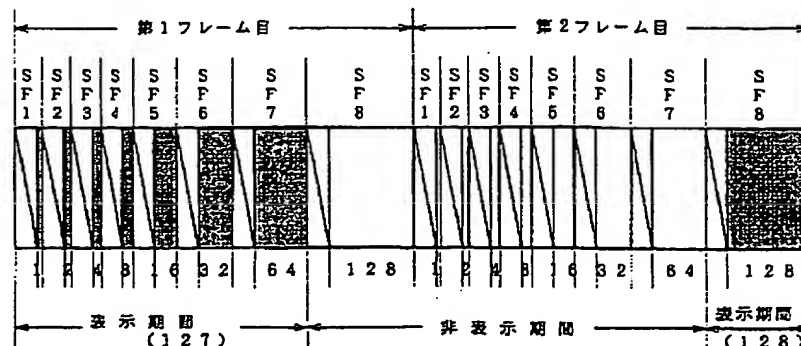
【図1】



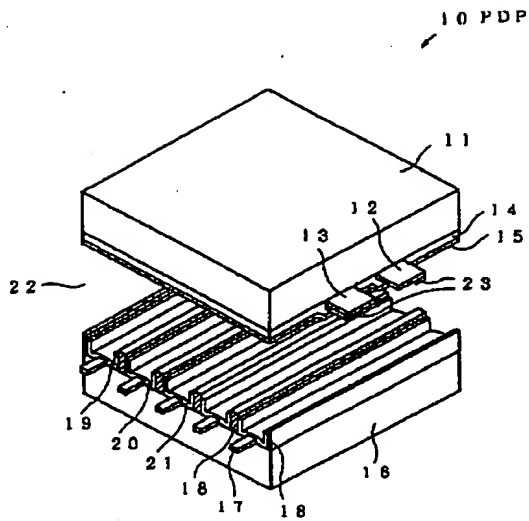
【図2】



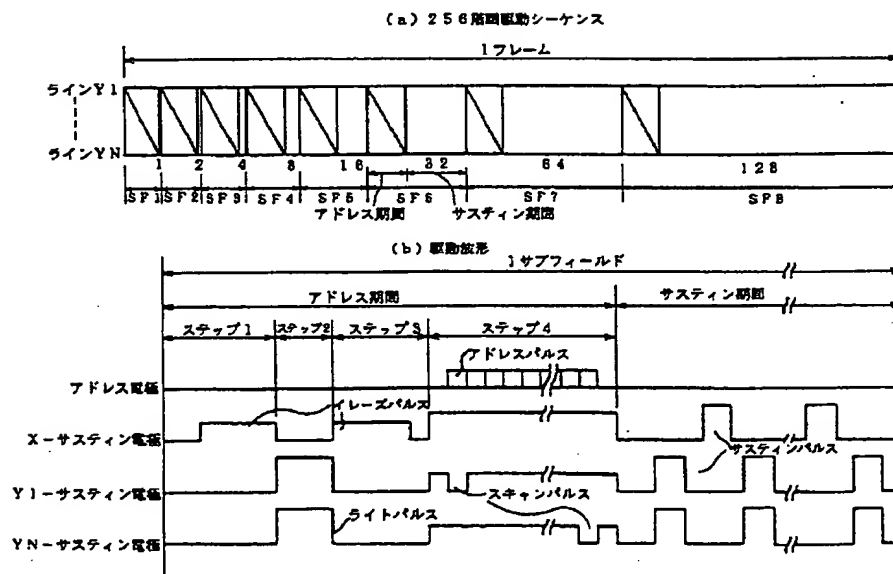
【図3】



【図4】



【図5】



フロントページの続き

(72)発明者 小坂井 朝郎  
 神奈川県川崎市高津区末長1116番地 株式  
 会社富士通ゼネラル内

(72)発明者 小林 正幸  
 神奈川県川崎市高津区末長1116番地 株式  
 会社富士通ゼネラル内